

La fonction multiplexage – démultiplexage

Domaine d'application :
Traitement des signaux numériques

Type de document :
Cours

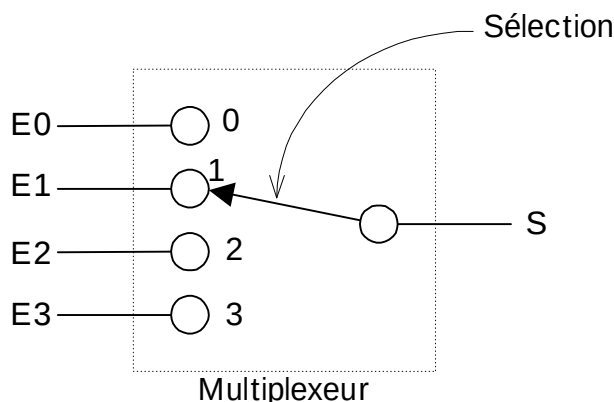
Classe :
Première année

Date :

I – Identification de la fonction multiplexage

Le multiplexage consiste à envoyer sur une même ligne de transmission des informations provenant de sources différentes.

Principe du multiplexage :



Dans cet exemple, le multiplexeur a 4 entrées logiques E0, E1, E2 et E3, et une sortie logique S. En fonction de la sélection, une des 4 entrées se retrouvera à la sortie du multiplexeur :

- Si la sélection est placée en position 0, la sortie prend l'état logique de l'entrée E0
- Si la sélection est placée en position 1, la sortie prend l'état logique de l'entrée E1
- Si la sélection est placée en position 2, la sortie prend l'état logique de l'entrée E2
- Si la sélection est placée en position 3, la sortie prend l'état logique de l'entrée E3

II – Exemple de multiplexeur : le circuit intégré 74 LS 151

II – 1 – Description du circuit 74 LS 151

Le circuit 74 LS 151 est un multiplexeur 8 vers 1. Il comporte :

- 8 entrées de données D_0 à D_7
- 3 entrées de sélection A, B et C
- 1 entrée de validation $\bar{E}$
- 2 sorties complémentaires Q et $\bar{Q}$

Si le boîtier est validé (entrée de validation $\bar{E}$ activée à 0), on retrouve sur la sortie du multiplexeur les informations présentes sur l'entrée de donnée qui est sélectionnée avec les entrées de sélection A, B et C.

Symbole du multiplexeur 74 LS 151 :

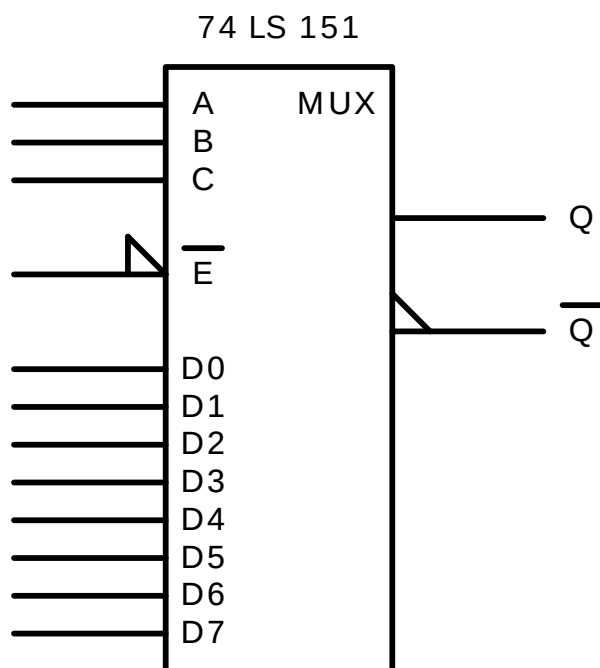


Table de fonctionnement du multiplexeur 74 LS 151 :

Entrées				Sorties	
de sélection			de validation		
C	B	A	$\bar{E}$	Q	$\bar{Q}$
X	X	X	1	0	1
0	0	0	0	D ₀	$\bar{D}_0$
0	0	1	0	D ₁	$\bar{D}_1$
0	1	0	0	D ₂	$\bar{D}_2$
0	1	1	0	D ₃	$\bar{D}_3$
1	0	0	0	D ₄	$\bar{D}_4$
1	0	1	0	D ₅	$\bar{D}_5$
1	1	0	0	D ₆	$\bar{D}_6$
1	1	1	0	D ₇	$\bar{D}_7$

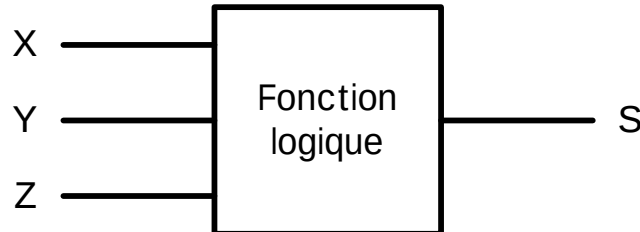
Remarque : si le multiplexeur n'est pas validé (entrée $\bar{E}$ à 1), la sortie Q est à 0 et la sortie $\bar{Q}$ est à 1 quelque soit l'état des entrées de données et des entrées de sélection.

II – 2 – Exemple d'application du circuit 74 LS 151

On désire réaliser une fonction logique à 3 entrées X, Y, et Z, et à une sortie S.
L'équation de la sortie doit être la suivante :

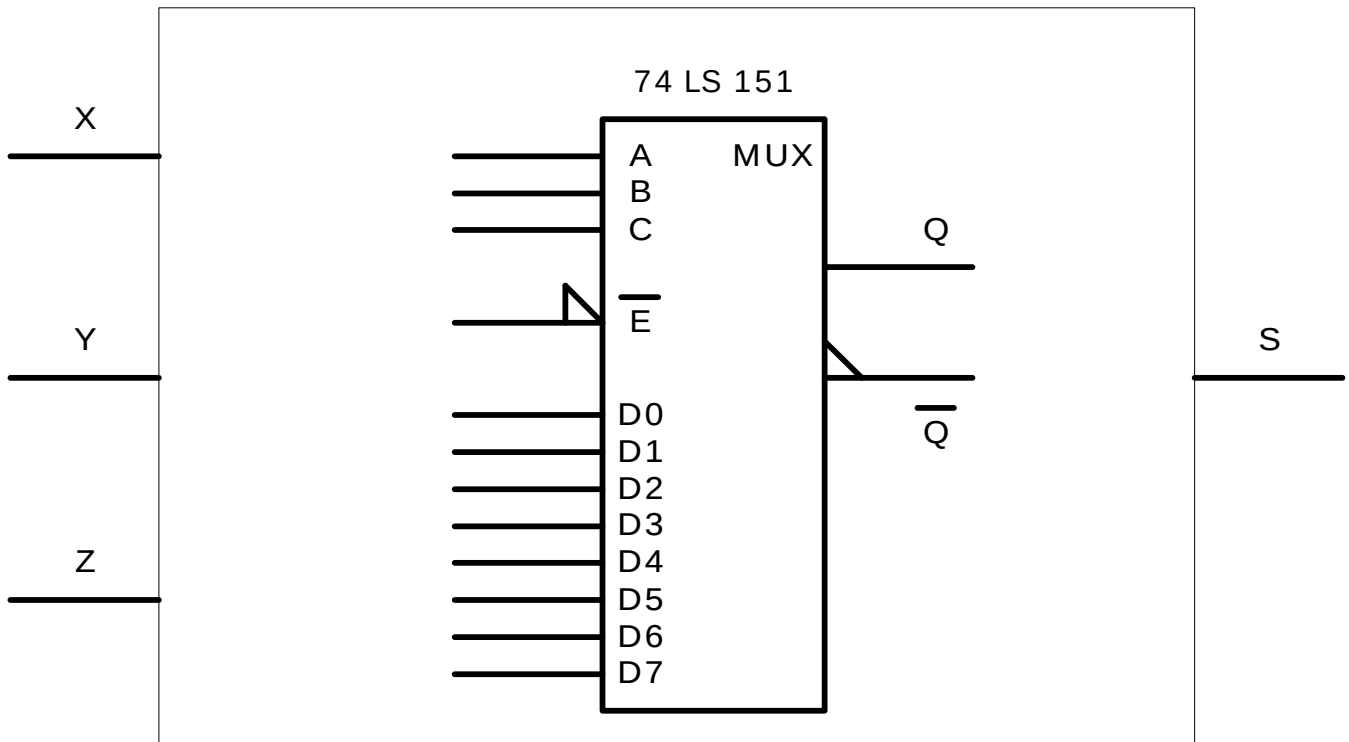
$$S = X.Y.\bar{Z} + \bar{X}.Y.Z + \bar{X}.\bar{Y}.\bar{Z}$$

Symbole de la fonction à réaliser :



Pour réaliser cette fonction logique, nous ne disposons que d'un seul circuit : le multiplexeur 74 LS 151.

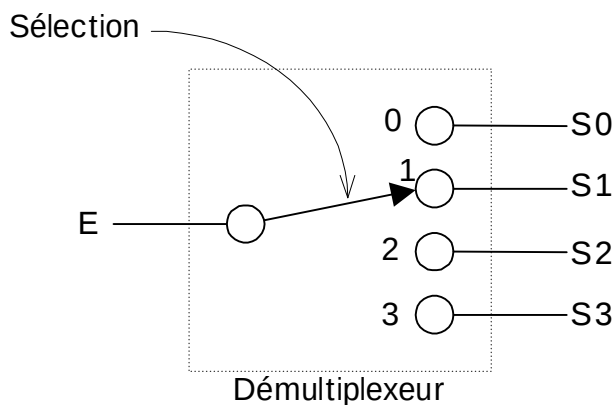
Proposer, en complétant le schéma ci-dessous, un câblage de ce circuit afin qu'il réalise la fonction logique décrite plus haut :



III – Identification de la fonction démultiplexage

Le démultiplexage consiste à répartir sur plusieurs lignes des informations qui arrivent en série sur une même ligne.

Principe du démultiplexage :



Dans cet exemple, le démultiplexeur a 1 entrée logique E, et 4 sorties logiques S0, S1, S2 et S3. En fonction de la sélection, les informations présentes sur l'entrée du démultiplexeur se retrouvent sur l'une des sorties :

- Si la sélection est placée en position 0, l'état logique de l'entrée E se retrouve sur la sortie S0
- Si la sélection est placée en position 1, l'état logique de l'entrée E se retrouve sur la sortie S1
- Si la sélection est placée en position 2, l'état logique de l'entrée E se retrouve sur la sortie S2
- Si la sélection est placée en position 3, l'état logique de l'entrée E se retrouve sur la sortie S3

IV – Exemple de démultiplexeur : le circuit intégré 74 LS 138

Description du circuit 74 LS 138

Le circuit 74 LS 138 est un démultiplexeur 1 parmi 8. Il comporte :

- 8 sorties de données Q_0 à Q_7
- 3 entrées de sélection A, B et C
- 3 entrées de validation G_0 , $\overline{G_1}$ et $\overline{G_2}$

Si le boîtier est validé ($G_0 = 1$ ET $\overline{G_1} = 0$ ET $\overline{G_2} = 0$), la sortie sélectionnée avec les entrées de sélection A, B et C est à 0, les 7 autres sorties étant à 1.

Symbole du démultiplexeur 74 LS 138 :

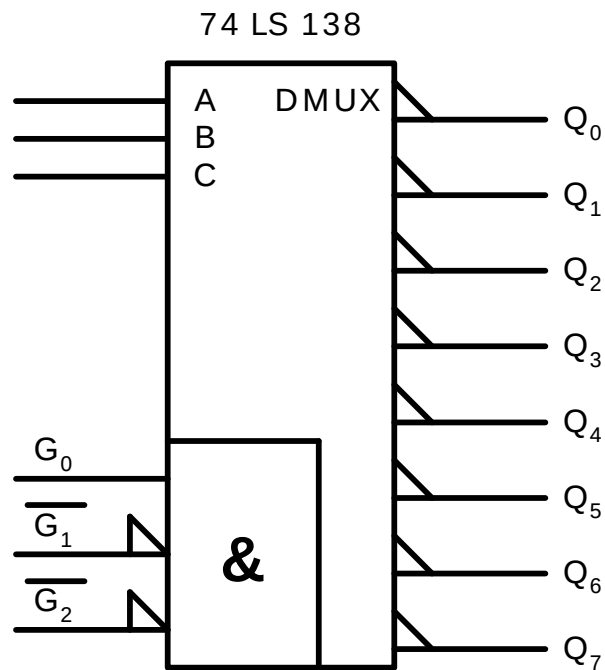


Table de fonctionnement du démultiplexeur 74 LS 138 :

Entrées						Sorties							
de sélection			de validation										
C	B	A	G ₀	$\overline{G_1}$	$\overline{G_2}$	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇
X	X	X	0	X	X	1	1	1	1	1	1	1	1
X	X	X	X	1	X	1	1	1	1	1	1	1	1
X	X	X	X	X	1	1	1	1	1	1	1	1	1
0	0	0	1	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	0	1	0	1	1	1	1	1	1
0	1	0	1	0	0	1	1	0	1	1	1	1	1
0	1	1	1	0	0	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	0	0	1	1	1	1	1	0	1	1
1	1	0	1	0	0	1	1	1	1	1	1	0	1
1	1	1	1	0	0	1	1	1	1	1	1	1	0

Remarque : si le multiplexeur n'est pas validé ($G_0 = 0$ OU $\overline{G_1} = 1$ OU $\overline{G_2} = 1$), les 8 sorties du démultiplexeur sont à 1 quelque soit l'état des entrées de sélection A, B et C.